

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156488

(P2000-156488A)

(43) 公開日 平成12年6月6日(2000.6.6)

(51) Int.Cl.

H01L 27/148

識別記号

F I

H01L 27/14

テマコード(参考)

B

審査請求 未請求 請求項の数10 OL (全 14 頁)

(21) 出願番号 特願平11-327057

(22) 出願日 平成11年11月17日(1999.11.17)

(31) 優先権主張番号 195535

(32) 優先日 平成10年11月18日(1998.11.18)

(33) 優先権主張国 米国 (US)

(71) 出願人 399117121

アジレント・テクノロジーズ・インク

AGILENT TECHNOLOGIE  
S, INC.

アメリカ合衆国カリフォルニア州パロアル  
ト ページ・ミル・ロード 395

(72) 発明者 シャウミン・マ

アメリカ合衆国カリフォルニア州サニーベ  
イル ガビラン・アベニュー 244

(74) 代理人 100105913

弁理士 加藤 公久

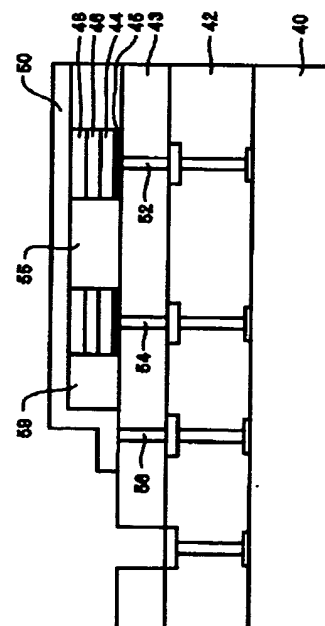
最終頁に続く

(54) 【発明の名称】 高性能画像センサアレイ

(57) 【要約】

【課題】画像センサアレイで、製造が容易な構造で、画像センサを互いに効果的に絶縁して画像センサ間のカップリングを低減する。

【解決手段】基板に隣接する相互接続構造42、43上に、複数の画像センサアレイが形成される。各画像センサは、順に積層されて成る画素電極44、I層部46、及びP型層部48を有し、P型層部48は透光性導体50によって相互接続される。透光性導体50は、相互接続構造42、43の一部に電気的に接続され、これにより画素センサアレイが完成する。



## 【特許請求の範囲】

【請求項1】基板と、該基板に隣接する相互接続構造と、該相互接続構造に隣接して形成される複数の画像センサと、該複数の画像センサ間の絶縁材料と、前記複数の画像センサの上に形成され、前記複数の画像センサ及び前記相互接続構造の外面に電氣的に接続される内面を有する透光性電極とを具備し、前記複数の画像センサの各々は、画素電極と、該画素電極に隣接して形成される分離したI層部とを備えることを特徴とする画像センサアレイ。

【請求項2】前記複数の画像センサの各々は、前記I層部に隣接して形成される分離したP型層部を更に備えていることを特徴とする請求項1記載の画像センサアレイ。

【請求項3】前記複数の画像センサの各々は、複数の分離した前記I層部に隣接して広がるP型層を更に備えていることを特徴とする請求項1記載の画像センサアレイ。

【請求項4】前記画素電極の各々は、N型層を有していることを特徴とする請求項1記載の画像センサアレイ。

【請求項5】相互接続構造は、前記画素電極を基板に電氣的に相互接続することを特徴とする請求項1記載の画像センサアレイ。

【請求項6】前記I層部及び前記画素電極は、アモルファスシリコンから構成されることを特徴とする請求項1記載の画像センサアレイ。

【請求項7】前記P型層部は、アモルファスシリコンから構成されることを特徴とする請求項2記載の画像センサアレイ。

【請求項8】前記P型層は、アモルファスシリコンから構成されることを特徴とする請求項3記載の画像センサアレイ。

【請求項9】前記透光性電極の内面は、タングステンブラグを介して相互接続構造に電氣的に接続されることを特徴とする請求項1記載の画像センサアレイ。

【請求項10】前記透光性電極は、インジウム酸化スズから構成されることを特徴とする請求項1記載の画像センサアレイ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、概略PINフォトダイオードの画像センサ（又は画素センサ）に関し、特に、各ダイオードの画像センサが他のダイオードの画像センサから絶縁され、ダイオードの画像センサが特徴的な固有のバイアス相互接続構造を有する複数の高性能PINダイオードの画像センサに関する。

## 【0002】

【従来の技術】画像センサ又は光検知センサのアレイは、画像センサが受光する光の強度を検出するものである。一般に、画像センサは、画像センサが受光する光の

強度に比例した振幅を有する電子信号を生成する。また、画像センサは、光学画像を1組の電子信号に変換することができる。この電子信号は、画像センサが受光する光の色の強度を表している。また、この電子信号を調整及びサンプリングして、画像処理に使用することができる。

【0003】信号処理回路と画像センサとの集積化は、撮像系の小型化及び簡略化を可能にすることから、より重要となってきている。即ち、アナログ及びデジタル信号処理回路と共に画像センサを集積化することにより、電子撮像系が低コスト且つ小型になると共に、電力消費量を少なくすることが可能となる。

【0004】従来、画像センサは主に電荷結合素子（CCD）であった。CCDは比較的小さく、高いフィルファクタを得ることができるものである。しかしながら、CCDは、デジタル及びアナログ回路と集積化することが非常に難しい。更に、CCDは、大量の電力を消費すると共に、画像のスミヤリング問題を生じる。

【0005】CCDセンサの代りとして、能動画素センサがある。能動画素センサは、標準のCMOSプロセスを用いて製造することができる。従って、能動画素センサは、デジタル及びアナログ信号処理回路と共に容易に集積化することができる。更に、CMOS回路は、少量の電力しか消費しない。

【0006】図1は、従来の画像センサのアレイの断面図を示している。この画像センサのアレイでは、基板10上にPINダイオードセンサが配置されている。相互接続構造12は、PINダイオードのN型層14を基板10に電氣的に接続する。N型層14上には、I層（イントリンシック層）16が形成されている。このI層16上には、P型層18が形成されている。これらP型層18、I層16及びN型層14は、PINダイオードセンサのアレイを形成している。また、第1の導電ビア20は、第1のダイオードセンサを基板10に電氣的に接続し、第2の導電ビア22は、第2のダイオードセンサを基板10に電氣的に接続する。更に、ダイオードセンサのアレイの上には、透光性導体（透光性導電層）24が配置されている。この透光性導体24には、導電リード26が接続されている。導電リード26は、バイアス電圧に接続されており、それによってPINダイオードセンサのアレイのP型層18のバイアスを、選択された電圧電位とすることができる。

## 【0007】

【発明が解決しようとする課題】図1の画像センサ構造の欠点は、導電リード26と透光性導体24との間の電氣的な接続である。透光性導体24は、PINダイオードのバイアスを可能にするために電氣的に導電性であると共に、PINダイオードが光を受光することができるように透光性でなければならない。概して、透光性導体24を形成するために使用すべき種類の材料に対して、

ボンディングを行うことは非常に困難である。従って、ある種のクランプ又は支持構造を利用して、導電リード26を透光性導体24に取付けなければならない。しかしながら、その結果、電気的接続の信頼性が低くなると共に、その製造に費用がかかることとなる。

【0008】図1の画像センサ構造の他の欠点は、個々の画像センサが互いに絶縁されていないということである。即ち、電流が、N型層14によって隣接する画像センサ間を流れることが可能であるため、所定の画像センサの受光する光が隣接する画像センサに影響することとなる。特に受光した光の光強度が隣接する画像センサ間で非常に異なっている場合、画像センサ間に電荷が流れる可能性がある。隣接する画像センサは、P型層18、I層16及びN型層14を共有している。そのため、トレンチ28を形成することにより、隣接する画像センサのN型層部の間の抵抗を増大させることで画像センサ間を幾分絶縁している。

【0009】透光性導体が確実に画素センサ間を電気的に接続され且つ基板上に生じる画素センサのバイアス電圧に電気的に接続されるようにして、基板に隣接して形成される複数の能動画素センサを設けることが望ましい。また、画素センサを互いに絶縁させることにより、画素センサ間のカップリングを低減することも望ましい。

【0010】

【課題を解決するための手段】本発明では、基板に隣接して複数の画像センサが形成されている。透光性導体は、確実に画像センサ間を電気的に接続すると共に基板上に生じる画素センサのバイアス電圧に電気的に接続されている。また、画像センサは、互いに絶縁されており、それによって画像センサ間のカップリングが低減される。

【0011】第1の実施の形態では、画像センサのアレイが設けられている。この画像センサのアレイは、基板を有している。その基板に隣接して相互接続構造が形成される。また、相互接続構造に隣接して、複数の画像センサが形成されている。各画像センサは、画素電極と、その画素電極に隣接して形成される分離したI層部とを有している。更に、画像センサのアレイには、各画像センサ間に絶縁材料が設けられている。画像センサ上には、透光性電極が形成されている。この透光性電極の内面は、画像センサ及び相互接続構造の外面に電気的に接続されている。

【0012】第2の実施の形態は、第1の実施の形態に類似している。第2の実施の形態の各画像センサには、I層部に隣接して形成される分離したP型層部が設けられている。

【0013】第3の実施の形態は、第1の実施の形態と類似している。第3の実施の形態の各画像センサにはP型層が設けられており、このP型層は、複数の分離した

I層部に隣接して広がっている。

【0014】第4の実施の形態は、第1の実施の形態と類似している。第4の実施の形態では、N型層から構成される各画素電極が設けられている。

【0015】第5の実施の形態は、第1の実施の形態と類似している。第5の実施の形態では、I層部とアモルファスシリコンから構成される画素電極とが設けられている。

【0016】本発明の他の態様及び利点は、本発明の原理を例示する添付図面と共に、以下の詳細な説明から明らかとなるであろう。

【0017】

【発明の実施の形態】説明のために図示するように、本発明は、基板に隣接する高性能センサアレイとして実現され、特に画像センサ間の絶縁を有すると共に複数の画像センサと基板上に配置されたセンサバイアス電圧との間の、信頼性が高く製造が容易であるバイアス接続を有する高性能画像センサアレイにおいて実現されている。

【0018】図2は、本発明の第1の実施の形態を示す。この実施の形態では、基板40が含まれている。この基板40に隣接して、相互接続構造42が形成される。また、この相互接続構造42に隣接して、画素相互接続構造43が形成される。更に、画素相互接続構造43に隣接して、内側金属部45及び画素電極44が形成されている。I層部46は、画素電極44に隣接する。P型層部48は、I層部46に隣接している。画像センサのアレイの各画像センサは、個々の内側金属部45、画素電極44、I層部46及びP型層部48を有している。また、上記P型層部48に隣接して、透光性導体（透光性導電層又は透光性電極）50が形成されている。更に、上記画像センサの間には、絶縁領域55が配置されている。また、第1の画像センサの画素電極44は、第1の導電ビア52を介して基板40に電気的に接続されている。更に、第2の画像センサの画素電極44は、第2の導電ビア54を介して基板40に電気的に接続されている。また、透光性導体50は、第3の導電ビア56を介して基板40に電気的に接続されている。

【0019】画像センサは、光を受光した時に電荷を伝導する。概して、基板40には、検知回路及び信号処理回路が設けられている。検知回路は、画像センサが伝導させた電荷の量を検知する。この伝導した電荷の量は、画像センサが受光した光の強度を表している。一般に、基板は、CMOS（相補性金属酸化膜シリコン）、BiCMOS又はバイポーラとすることができる。この基板には、電荷結合素子等のあらゆる種類の基板技術を採用することができる。

【0020】典型的には相互接続構造42は標準のCMOS相互接続構造である。この相互接続構造の構造自体及び製造方法は、電子集積回路製造の分野において周知である。相互接続構造42は、エッチング等の手法で画

定されるサブトラクティブな金属構造、或いはシングル又はデュアルのダマスク構造（又は杭状構造）とすることができる。

【0021】画素相互接続構造43によれば、高性能画像センサ構造についての、信頼性及び構造上の利点が得られる。この画素相互接続構造では、画素電極44が相互接続構造42上に配置された金属パッドではなくシリコン上に形成されるため、薄い画素電極44を形成することが可能となる。また、画素相互接続構造43は、画素電極44を相互接続構造42に電気的に接続する。この画素相互接続構造43は典型的にはポリイミド、酸化シリコン又は窒化シリコン等の誘電体の膜から形成される。

【0022】導電ビア52、54は、画素相互接続構造43を貫通して、画素電極44を基板40に電気的に接続する。第3の導電ビア56は、画素相互接続構造43を貫通して、確実に、透光性導体50と基板40との間を電気的に接続する。一般に、これら導電ビア52、54、56は、タングステンから形成されている。タングステンは高アスペクト比の正孔を充填することができるため、製造中には概してタングステンが使用される。即ち、タングステンをを用いて、狭く且つ比較的長い相互接続を形成することができる。一般に、導電ビア52、54、56は、化学蒸着（CVD）プロセスを用いて形成される。なお、導電ビア52、54、56の形成に使用することができる他の材料には、銅、アルミニウム又は他の導電性材料がある。

【0023】画素電極44と基板40と間に画素相互接続構造43を設けることにより、いくつかの構造上の利点がある。即ち、このような構造により、相互接続回路構成を密に実装することが可能となる。まず第1に、ビア52、54、56が画素電極の下に直接配置されているため、横方向のスペースが保たれる。第2に、この構造により、直径が最小のビア52、54、56を形成することができる。概して、ビア52、54、56を形成する最良の方法はCVDプロセスである。即ち、タングステンのCVDプロセスにより、直径の小さいビアを形成することが可能となる。しかしながら、CVDプロセスによってタングステンのビアを形成するために必要な温度は、画素電極を形成するための材料の多く（例えばアモルファスシリコン）が耐えることができる温度より高い。基板40上に画素相互接続構造43を形成し、画素相互接続構造43上に画素電極44を形成することにより、画素電極44より前にビア52、54、56を形成することができるため、画素電極44がビア52、54、56の形成に必要な高温に晒されることはない。

【0024】一方、内側金属部45は、薄い導電性材料から構成される必要がある。この内側金属部45は例えば、縮退状態にドーピングされた半導体層、アルミニウム、チタン、窒化チタン、銅又はタングステン等から形

成することができる。また、内側金属部45は、薄く（約500オングストロームの厚さ）且つ滑らかでなければならない。即ち、内側金属部45は、表面の粗さが内側金属部45上に形成された画素電極44の厚さより概して小さくなる程度に、滑らかでなければならない。このような滑らかさの要件を満たすために、内側金属部45を研磨する必要がある。

【0025】このような内側金属部45は、任意とすることができる。しかしながら、内側金属部45は、画素電極44の形成に使用する材料より抵抗が低い。従って、この内側金属部45により、比較的良好な集電が可能となる。

【0026】概して、画素電極44は、ドーピングした半導体から形成されている。ドーピングした半導体は、アモルファスシリコンのN型層とすることができる。画素電極44は十分に厚く且つ動作中にバイアスされた時に完全に消耗しないよう十分に濃くドーピングされていなければならない。一般に、画素電極44には燐がドーピングされる。

【0027】また、画素電極44は、典型的にはプラズマエッチング化学気相成膜法（PECVD）を用いて成膜される。アモルファスシリコンの画素電極を形成する場合、シリコン含有ガス（ $\text{Si}_2\text{H}_6$ 又は $\text{SiH}_4$ 等）が用いられる。N型層の画素電極を形成する場合、燐含有ガス（ $\text{PH}_3$ 等）を用いてPECVDプロセスが実行される。

【0028】PINダイオードの画像センサを形成する場合、一般にアモルファスシリコンのN型層が使用される。しかしながら、ダイオードの画像センサは、NIP型センサ構造を有することができる。この場合、画素電極44はP型層から形成され、図2のP型層部48の代りにN型層部が設けられる。

【0029】I層部46は、略水素化アモルファスシリコンから形成される。また、I層部46は、PECVDプロセス又は反応性スパッタ法を用いて成膜することができる。このPECVDプロセスでは、シリコン含有ガスをを用いなければならない。また、この成膜は、水素が膜内に維持される程度に低い温度で行われなければならない。一般に、I層部46は、約1ミクロンの厚さである。

【0030】概して、P型層部48は、アモルファスシリコンから形成される。典型的な場合には、P型層部48はホウ素によってドーピングされている。

【0031】P型層部48は、PECVDプロセスを用いて成膜することができる。このPECVDプロセスでは、ホウ素含有ガスをを用いて実行される。ホウ素含有ガスは、 $\text{B}_2\text{H}_6$ とすることができる。アモルファスシリコンのP型層部48を形成する場合、シリコン含有ガスが用いられる。このP型層部48の厚さは概して、非常に短い波長（青）の光を確実に吸収しないことを保証でき

るように、調整しなければならない。

【0032】本発明の他の実施の形態では、P型層部48が設けられていない。P型層部48は、透光性導体50内の材料の組成を適切に選択し、画素電極44のドーピングレベルを適切に選択することにより、除去することができる。この実施の形態では、透光性導体50により、I層部46の端面と相互接続構造42との間ではなく、画素センサのI層部46の頂面と相互接続構造42との間が導電接続される。

【0033】また、絶縁領域55によって、画素電極44、I層部46及びP型層部48によって形成された画素センサ間に絶縁が設けられる。即ち、絶縁領域55により、画素センサ間に絶縁が形成される。一般に、絶縁領域55は、 $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 又は $\text{SiO}_2$ と $\text{Si}_3\text{N}_4$ との化合物から形成される。また、第2の導電ビア54を介して基板40に電気的に接続された第2の画素センサと透光性導体50との間には、端部絶縁領域59が配置されている。なお、本発明の実施の形態では端部絶縁領域59が設けられているが、他の実施の形態では設けられていない。

【0034】上述したように、画素電極44、I層部46及びP型層部48は、略アモルファスシリコンから形成される。しかしながら、それらはアモルファスカーボン、アモルファス炭化シリコン、アモルファスゲルマニウム又はアモルファスシリコン-ゲルマニウムから形成することもできる。なお、ここで挙げたものが、すべてを網羅しているわけではない。

【0035】一方、透光性導体50により、P型層部48と相互接続構造42との間が導電接続される。また、画素センサが受光する光は、透光性導体50を通過しなければならない。概して、透光性導体50は、インジウム酸化スズから形成される。しかしながら、窒化タタン、薄いケイ化物、若しくはある種の遷移金属窒化物又は酸化物から形成することもできる。

【0036】透光性導体50内で使用される材料の種類を選択、及び透光性導体50の所望の厚さの決定は共に、画素センサが受光する光の光学反射を最小化することを基本にしてなされる。画素センサが受光する光の反射を最小化することにより、画素センサが検出する光の量を最適化することが容易になる。

【0037】透光性導体50は、スパッタ法によって成膜することができる。スパッタによる成膜は、集積回路製造の分野において周知である。

【0038】また、透光性導体50上に、保護層を形成することができる。この保護層により、機械的保護及び電気的絶縁が得られると共に、いくつかの反射防止特性を得ることができる。

【0039】他の実施の形態では、ショットキー・ダイオード・センサが設けられている。ショットキー・ダイオード・センサには、いくつかの異なる構成がある。第1

のショットキー・ダイオードの構成では、電極44が導電性金属から形成されている。この構成にはまた、I層部46及びP型層部48が設けられている。第2のショットキー・ダイオードの構成では、電極44が導電性金属から形成されており、P型層部48に代わって透光性導体部又は透光性ケイ化物が設けられている。第3のショットキー・ダイオードの構成では、電極44がN型層部から形成されており、P型層部に代わって透光性導体（導電層部）が設けられている。この第3の構成の透光性導体は、適切な仕事関数を有するものでなければならない。このようなショットキー構造に用いることができる導電性金属には、クロム、白金、アルミニウム及びチタン等がある。

【0040】図3は、本発明の他の実施の形態を示している。本実施の形態では、各画素センサが個々のP型層部を有しているのではなく、画素センサのアレイを構成する複数の画素センサのI層部に隣接して、1つのP型層74が形成されている。即ち、いくつかのPINダイオードセンサの画素センサが、共通のP型層74を共有している。

【0041】P型層74は概して、電極44及びI層部46の形成後に成膜される。一般に、電極44及びI層部46は、基板40を真空環境から取除く必要なく形成することができる。しかしながら、P型層74を形成するには、基板40を真空環境から取除く必要がある。即ち、真空環境でなくなることによって、P型層74とI層部46との間の界面準位の密度が高くなる可能性がある。

【0042】一般に、絶縁領域55を形成するために必要な処理ステップには、絶縁領域55を研磨する処理が必要である。本実施形態では、絶縁領域55を研磨する処理は概して、P型層74の成膜前に行われる。従って、P型層74の厚さは、図2の実施の形態によるP型層部48の厚さより一般的に容易に制御することができる。

【0043】P型層部ではなく、このようなP型層74を形成することにより、透光性導体50が接着する表面がより均一になる。即ち、透光性導体50は、P型層部48及び絶縁領域55ではなく、1つの均一なP型層74にのみ接着しなければならない。

【0044】図4乃至図10に、図2に示す実施の形態を実現するために用いることができる処理ステップを示す。

【0045】図4は、その上に標準の相互接続構造42及び画素相互接続構造43が形成された基板40を示している。この相互接続構造を形成する構造及び方法は、電子集積回路製造の分野において周知である。相互接続構造42は、サブトラクティブな金属構造、あるいはシングル又はデュアルのダマスク構造とすることができ、画素相互接続構造43は概して、酸化シリコン又は

窒化シリコンから形成される。

【0046】画素相互接続構造43には、導電ビア52、54、56が設けられている。一般に、導電ビア52、54、56は、タングステンから形成される。タングステンが通常用いられるのは、タングステンが、製造中に高アスペクト比の正孔を充填することができるためである。即ち、タングステンをを用いて、狭くかつ比較的長い相互接続を形成することができる。一般に、導電ビア52、54、56は、化学蒸着(CVD)プロセスを用いて形成される。導電ビア52、54、56の形成に使用することができる他の材料として、銅、アルミニウム又は他の導電性の材料がある。

【0047】図5は、画素相互接続構造43上に成膜された内側金属層60、画素電極層62、I層64及びP型層66を示している。一般に、内側金属層60は、スパッタ法によって成膜される。

【0048】また、画素電極層62は概して、PECVDプロセスを用いて成膜される。このPECVDプロセスでは、燐含有ガスを用いて実行される。燐含有ガスは、 $\text{PH}_3$ とすることができる。アモルファスシリコンの画素電極44を形成する場合は、 $\text{Si}_2\text{H}_6$ 又は $\text{SiH}_4$ 等のシリコン含有ガスが用いられる。

【0049】また、I層64は、概して、PECVDプロセス又は反応性スパッタ法を用いて成膜される。このPECVDプロセスでは、シリコン含有ガスを用いなければならない。この成膜は、膜内に水素が維持される程度に低い温度で行わなければならない。

【0050】また、P型層66もPECVDプロセスを用いて成膜することができる。このPECVDプロセスは、ホウ素含有ガスを用いて実行される。ホウ素含有ガスは、 $\text{B}_2\text{H}_6$ とすることができる。アモルファスシリコンのP型層66を形成する場合、シリコン含有ガスが用いられる。

【0051】図6は、予め決められたパターンに従って画像センサを形成するようウェット又はドライエッチングされた内側金属層60、画素電極層62、I層64及びP型層66を示している。

【0052】図7は、絶縁層68の成膜を示している。絶縁層68は、PECVDプロセスによって成膜される。また、絶縁層68は概して、 $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 又は $\text{SiO}_2$ と $\text{Si}_3\text{N}_4$ の化合物から形成される。絶縁層68は画像センサ間のギャップを埋めるものであり、この絶縁層68によって絶縁領域55が形成される。

【0053】図8は、絶縁領域55を形成するよう研磨される又はエッチングされた絶縁層68を示している。

【0054】図9は、第3の導電ビア56へのアクセスが可能となるよう、更にエッチングされた絶縁層68を示している。

【0055】図10は、P型層部48上に成膜され、P型層部48と導電ビア56との間を電氣的に接続する透

光性導体50を示している。一般に、透光性導体50は、インジウム酸化スズから形成される。しかしながら、窒化チタン、薄いケイ化物、若しくはある種の遷移金属窒化物又は酸化物から形成することもできる。

【0056】概して、透光性導体50は、反応性スパッタ法により成膜される。しかしながら、蒸着によって成長させることもできる。透光性導体50が窒化チタンから形成される場合、概して、透光性導体50は、CVDプロセス又はスパッタ法を用いて成膜させなければならない。

【0057】図11は、予め決められたパターンに従ってエッチングされた透光性導体50及び画素相互接続構造43を示している。このエッチングにより、相互接続構造42のボンディング・パッド65へのアクセスが可能となる。

【0058】上述したように、透光性導体50上に保護層を形成することができる。この保護層により、機械的保護及び電氣的絶縁が得られると共に、いくつかの反射防止特性を得ることができる。

【0059】ここで、図12乃至図19に、図3に示す実施の形態を製造するために用いることができる処理ステップを示す。

【0060】図12は、画素相互接続構造43上に成膜された内側金属層60、画素電極層62及びI層64を示している。一般に、内側金属層60は、スパッタ法によって成膜される。また、画素電極層62は概して、PECVDプロセスを用いて成膜される。このPECVDプロセスは、燐含有ガスを用いて実行される。燐含有ガスは、 $\text{PH}_3$ とすることができる。アモルファスシリコンの画素電極44を形成する場合は、 $\text{Si}_2\text{H}_6$ 又は $\text{SiH}_4$ 等のシリコン含有ガスが用いられる。また、I層64は概して、PECVDプロセス又は反応性スパッタ法を用いて成膜される。このPECVDプロセスでは、シリコン含有ガスを用いなければならない。この成膜は、膜内に水素が保持される程度に低い温度で行わなければならない。

【0061】図13は、予め決められたパターンに従って画像センサを形成するようウェット又はドライエッチングされた内側金属層60、画素電極層62及びI層64を示している。

【0062】図14は、絶縁層68の成膜を示している。絶縁層68は、PECVDプロセスによって成膜される。また、絶縁層68は概して、 $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 又は $\text{SiO}_2$ と $\text{Si}_3\text{N}_4$ の化合物から形成される。絶縁層68は画像センサ間のギャップを埋めるものであり、この絶縁層68によって絶縁領域55が形成される。

【0063】図15は、研磨される又はエッチングされた絶縁層68を示している。

【0064】図16は、成膜されたP型層74を示している。P型層74は、PECVDプロセスを用いて成膜

することができる。このPECVDプロセスは、ホウ素含有ガスを用いて実行される。ホウ素含有ガスは、 $B_2H_6$ とすることができる。アモルファスシリコンのP型層74を形成する場合は、シリコン含有ガスが用いられる。

【0065】図17は、第3の導電ビア56へのアクセスを可能とすると共に、絶縁領域55を形成するようにエッチングされた、絶縁層68及びP型層74を示している。

【0066】図18は、P型層74上に成膜され、P型層74と第3の導電ビア56との間を電気的に接続する透光性導体50を示している。一般に、透光性導体50は、インジウム酸化スズから形成される。しかしながら、窒化チタン、薄いケイ化物、あるいは遷移金属窒化物又は酸化物から形成することもできる。

【0067】透光性導体50は概して、反応性スパッタ法によって成膜される。しかしながら、蒸着によって成長させることもできる。透光性導体50が窒化チタンから形成される場合、透光性導体50は、概略CVDプロセス又はスパッタ法を用いて成膜しなければならない。

【0068】図19は、予め決められたパターンに従ってエッチングされた透光性導体50及び画素相互接続構造43を示している。このエッチングにより、相互接続構造40のボンディング・パッド65へのアクセスが可能となる。

【0069】上述したように、透光性導体50上に保護層を形成することができる。この保護層により、機械的保護及び電気的絶縁が得られると共に、いくつかの反射防止特性を得ることができる。

【0070】本発明の特定の実施の形態について図示して説明してきたが、本発明はそうのように説明して示した特定の形態又は部品の配置に限定されるものではない。本発明は、特許請求の範囲によってのみ限定される。

【0071】本発明を上述した実施形態に沿って説明すると、本発明によれば、基板(40)と、該基板(40)に隣接する相互接続構造(42、43)と、該相互接続構造(42、43)に隣接して形成される複数の画像センサと、該複数の画像センサ間の絶縁材料(55)と、前記複数の画像センサの上に形成され、前記複数の画像センサ及び前記相互接続構造(42、43)の外面に電気的に接続される内面を有する透光性電極(50)とを具備し、前記複数の画像センサの各々は、画素電極(44)と、該画素電極(44)に隣接して形成される分離したI層部(46)とを備えることを特徴とする画像センサアレイが提供される。

【0072】好ましくは、前記複数の画像センサの各々は、前記I層部(46)に隣接して形成される分離したP型層部(48)を更に備える。

【0073】好ましくは、前記複数の画像センサの各々は、複数の分離した前記I層部(46)に隣接して広が

るP型層(74)を更に備える。

【0074】好ましくは、前記画素電極(44)の各々は、N型層を有する。

【0075】好ましくは、相互接続構造(42、43)は、前記画素電極(44)を基板(40)に電気的に相互接続する。

【0076】好ましくは、前記I層部(46)及び前記画素電極(44)は、アモルファスシリコンから構成される。

【0077】好ましくは、前記P型層部(48)は、アモルファスシリコンから構成される。

【0078】好ましくは、前記P型層(74)は、アモルファスシリコンから構成される。

【0079】好ましくは、前記透光性電極(50)の内面は、タングステンプラグ(54)を介して相互接続構造(42、43)に電気的に接続される。

【0080】好ましくは、前記透光性電極(50)は、インジウム酸化スズから構成される。

【図面の簡単な説明】

【図1】従来の画像センサのアレイの断面図を示す図である。

【図2】本発明の実施の形態を示す図である。

【図3】本発明の他の実施の形態を示す図である。

【図4】基板上に形成された標準の相互接続構造及び画素相互接続構造を有する基板を示す図である。

【図5】画素相互接続構造上に成膜された内側金属層、画素電極層、I層及びP型層を示す図である。

【図6】予め決められたパターンに従って画像センサを形成するようエッチングされた内側金属層、画素電極層、I層及びP型層を示す図である。

【図7】絶縁層の成膜を示す図である。

【図8】P型層を露出させるよう磨かれた成膜層を示す図である。

【図9】絶縁領域を形成し第3の導電ビアへのアクセスが可能となるようエッチングされた絶縁層を示す図である。

【図10】P型層部上に成膜され、P型層部と第3の導電ビアとの間を電気的に接続する透光性導体を示す図である。

【図11】予め決められたパターンに従ってエッチングされた透光性導体及び画素相互接続構造を示す図である。

【図12】図4の画素相互接続構造上に成膜された内側金属層、画素電極層及びI層を示す図である。

【図13】予め決められたパターンに従って画像センサを形成するようエッチングされた内側金属層、画素電極層及びI層を示す図である。

【図14】絶縁層68の成膜を示す図である。

【図15】磨かれた絶縁層を示す図である。

【図16】成膜されたP型層を示す図である。

【図17】第3の導電ビアへのアクセスが可能となるようエッチングされた絶縁層及びP型層を示す図である。

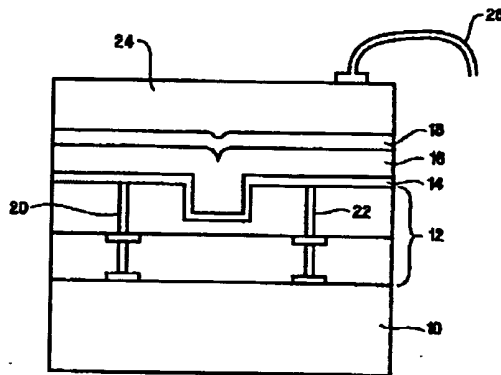
【図18】P型層上に成膜され、P型層部と第3の導電ビアとの間を電氣的に接続する透光性導体を示す図である。

【図19】予め決められたパターンに従ってエッチングされた透光性導体及び画素相互接続構造を示す図である。

【符号の説明】

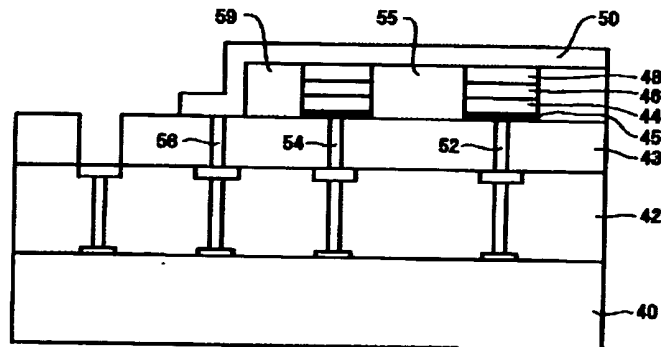
40…基板  
43…相互接続構造  
44…画素電極  
46…I層部  
48…P型層部  
50…透光性電極  
54…タングステンプラグ  
55…絶縁領域  
74…P型層

【図1】



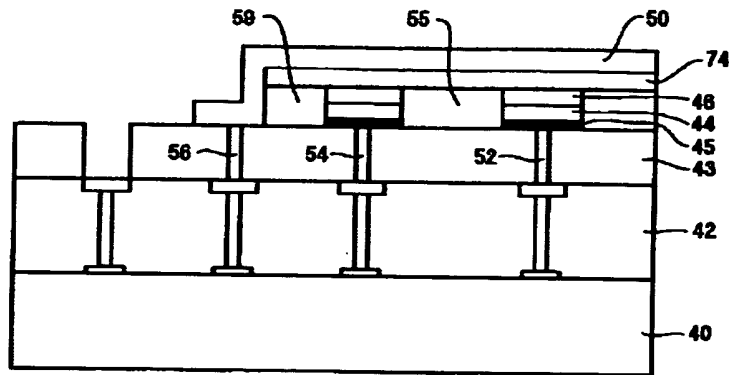
(縦断面図)

【図2】

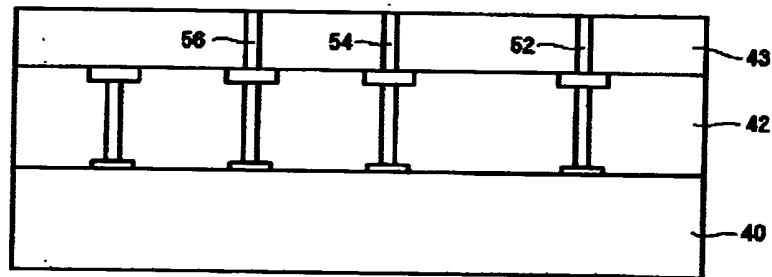




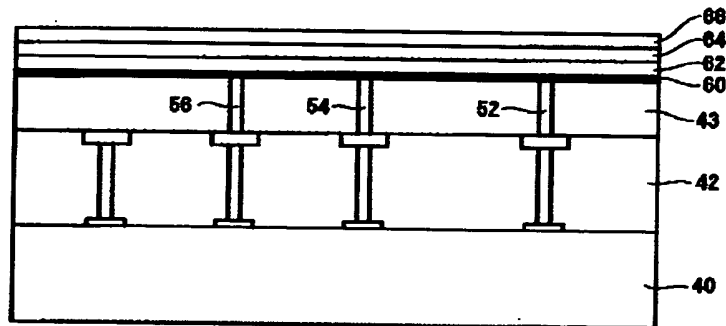
【図3】



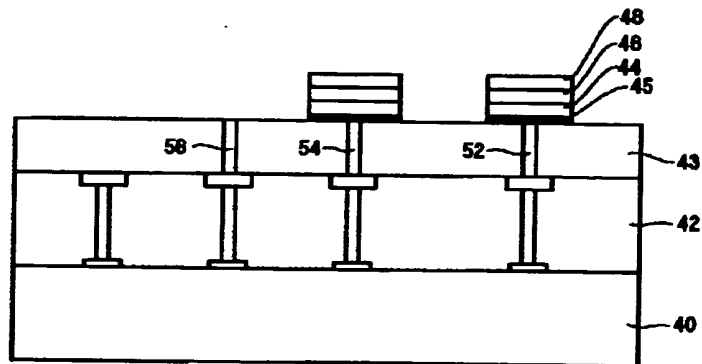
【図4】



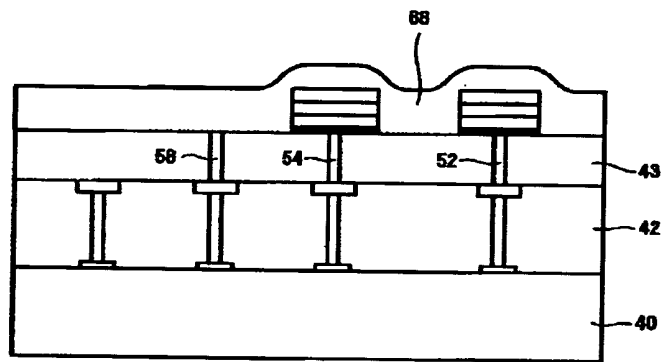
【図5】



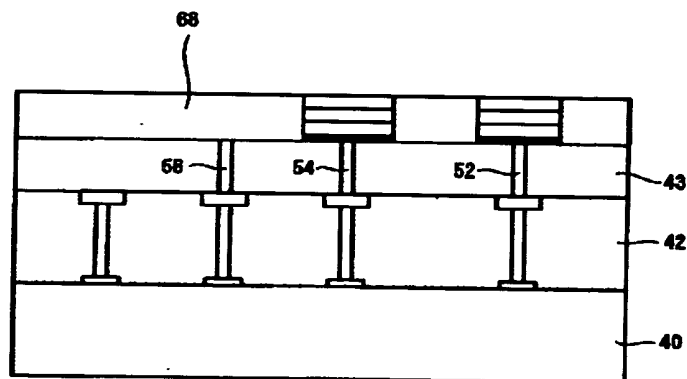
【図6】



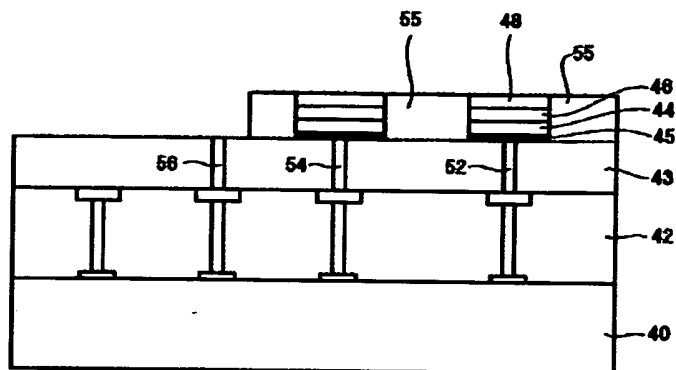
【図7】



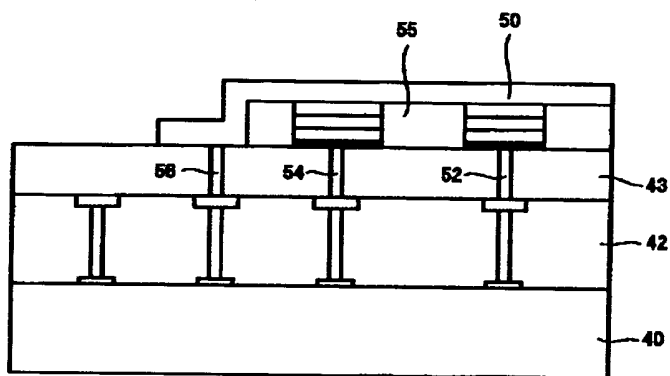
【図8】



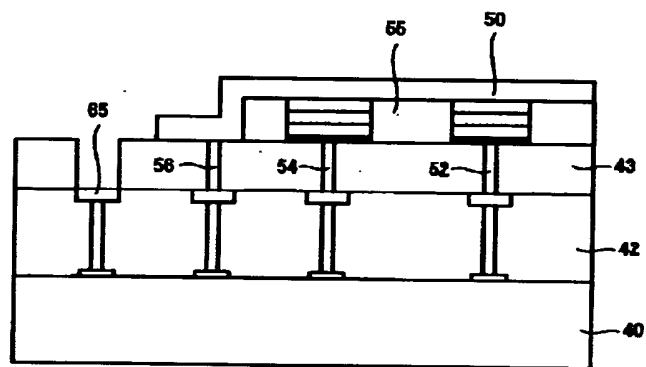
【図9】



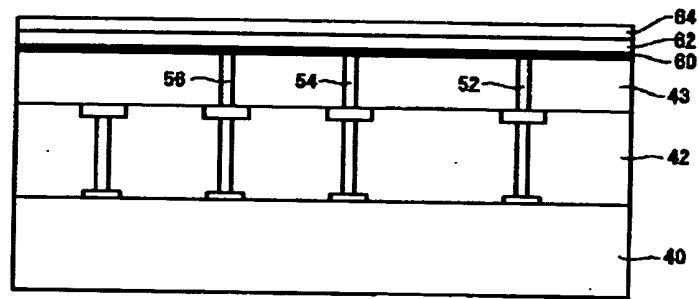
【図10】



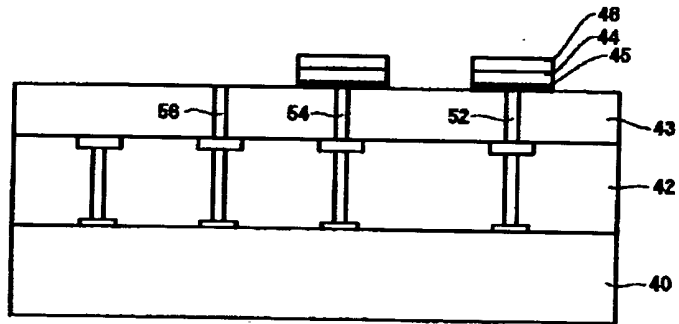
【図11】



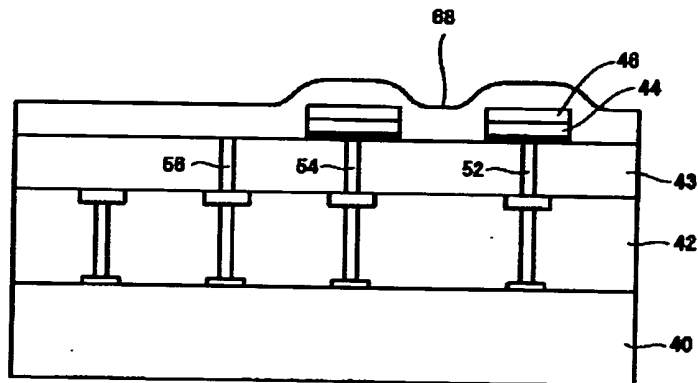
【図12】



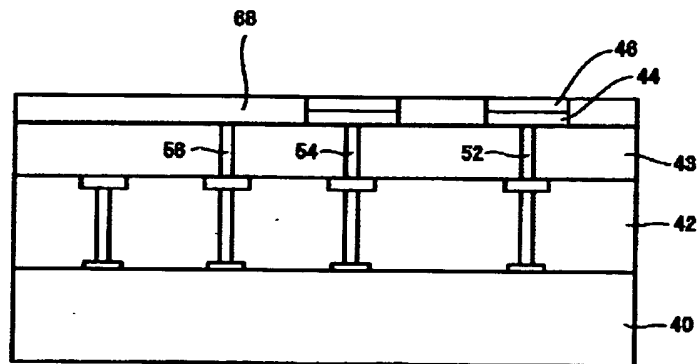
【図13】



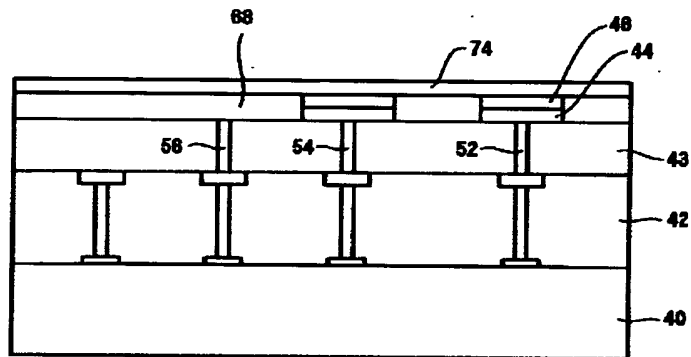
【図14】



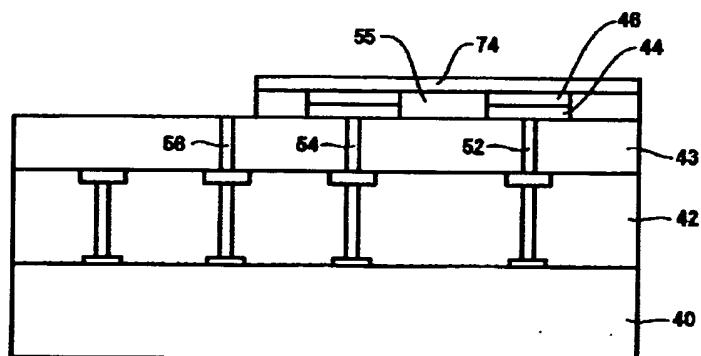
【図15】



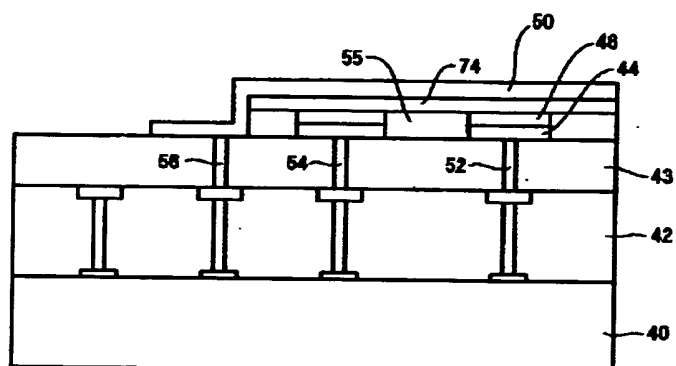
【図16】



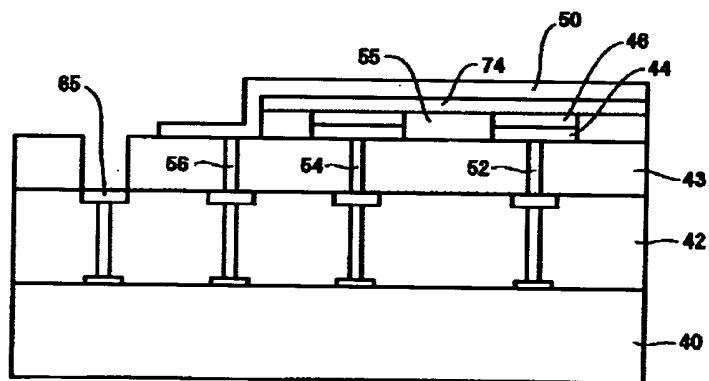
【図17】



【図18】



【図19】



フロントページの続き

(71)出願人 399117121

395 Page Mill Road P  
alo Alto, California  
U. S. A.

(72)発明者 ジェレミィ・エー・ゼイル

アメリカ合衆国カリフォルニア州マウンテン・ビュー ローラ・レイン 662